

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07154359 A

(43) Date of publication of application: 16.06.95

(51) Int. Cl

H04J 3/14

H04J 3/06

H04L 7/08

(21) Application number: 05296375

(71) Applicant: NEC CORP

(22) Date of filing: 26.11.93

(72) Inventor: KOBAYASHI TAKAMASA

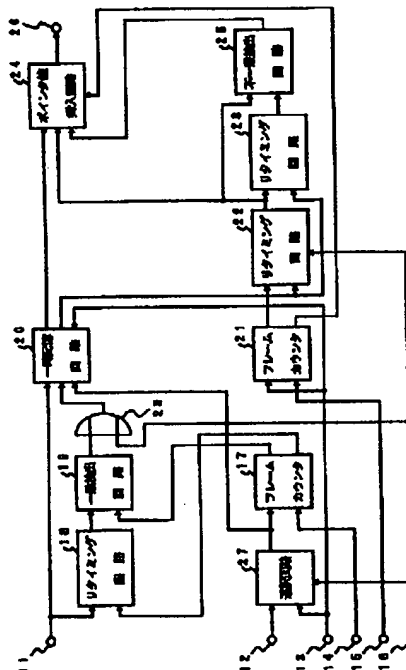
(54) POINTER EXCHANGE CIRCUIT

(57) Abstract:

PURPOSE: To prevent an erroneous pointer value from being transmitted when a transmission line data signal is restored from an input interrupting state to a normal state.

CONSTITUTION: A selector circuit 27 selectively outputs a transmission line clock signal and an in-device clock signal. Namely, when an input data signal is interrupted, the selector circuit 27 selects the in-device clock signal and supplies it to a first frame counter 17 and a temporary storage circuit 20 as a clock signal. Further, when the input data signal is interrupted, a high level is supplied from an OR gate 28 to the temporary storage circuit. As a result, in the temporary storage circuit, '1' is written in all the memory areas assigned to a head data position signal by the in-device clock signal and the head data position signal can not be practically read until the interrupting state of the input data signal is restored to the normal state, and the erroneous pointer value is prevented from being outputted at the time of restoration.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-154359

(43) 公開日 平成7年(1995)6月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/14		Z 9299-5K		
	3/06	D 8226-5K		
H 0 4 L 7/08		Z 7741-5K		

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平5-296375

(22) 出願日 平成5年(1993)11月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 隆征

東京都港区芝五丁目7番1号 日本電気株式会社内

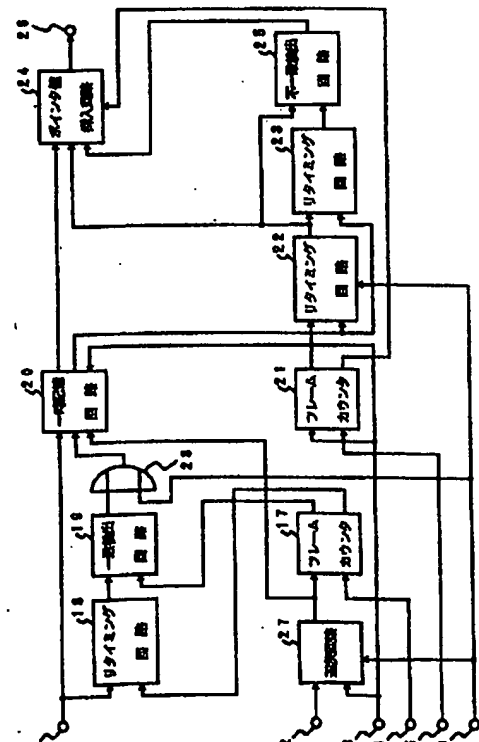
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 ポインタ付替回路

(57) 【要約】

【目的】 伝送路データ信号が入力断状態から正常状態に復旧した際誤ったポインタ値の送出を防止する。

【構成】 選択回路27は伝送路クロック信号及び装置内クロック信号を選択的に出力する。つまり、選択回路27では入力データ信号が断となると、装置内クロック信号を選択して第1のフレームカウンタ17及び一時記憶回路20にクロック信号として与える。さらに、入力データ信号が断となると、ORゲート28からハイレベルが一時記憶回路に与えられることになる。この結果、一時記憶回路には装置内クロック信号によって先頭データ位置信号に対して割り当てられたメモリ領域にすべて“1”が書き込まれることになって、入力データ信号の断状態が回復して正常になるまで実質的に先頭データ位置信号の読み出しができず、復帰時に誤ったポインタ値が出力されることがない。



【0007】第2のフレームカウンタ21には装置内クロック信号103及び装置内フレーム同期信号105が与えられ、これによって、装置内フレームをカウントして装置内フレーム番号112及び装置内(出力)フレーム

信号のポインタ挿入位置を示す装置内ポインタ挿入位置信号114を送出する。

【0008】前述のようにして一時記憶回路20から先頭データ位置信号116が読み出される。そして、この先頭データ位置信号116は第2及び第3のリタイミング回路22及び23に与えられる。一方、一時記憶回路20から読み出された読出データ信号116はポインタ値挿入回路24に与えられる。

【0009】第2のリタイミング回路22には装置内カウント信号113が与えられており、第1のリタイミング回路22では装置内カウント信号113によって先頭データ位置信号116をリタイミングしてポインタ値117（装置内ポインタ値）を出力する。そして、このポインタ値117は第2のリタイミング回路23、ポインタ値挿入回路24、及び不一致検出回路25に与えられる。そして、ポインタ挿入回路24では装置内ポインタ挿入位置信号114に応じて読出データ信号116にポインタ値117を挿入して（多重して）出力データ120として出力端子26から出力する。

【0010】ところで、入力データ信号101においてポインタ値が更新されると出力信号120にはポインタ値更新情報が付加される。このポインタ値更新情報は一般にニューデータフラグと呼ばれ、次段のポインタ処理回路におけるポインタ更新を高速に行うために用いられる。

【0011】上述の理由から、第3のリタイミング回路23では先頭データ位置信号116をポインタ値117でリタイミングして前フレームのポインタ値118を出力する。そして、不一致検出回路25ではポインタ値117とポインタ値118とを比較して不一致であると、ポインタ値更新情報119をポインタ値挿入回路24に与える。

【0012】入力断時にはおいては、入力断端子16から入力断情報（ハイ（H）レベル）が与えられ、これによって、第2のリタイミング回路22ではポインタ値117を警報時ポインタ（通常すべて“1（2進数）”）として出力する。この結果、出力データ信号120には警報時ポインタ値が挿入されることになる。

【0013】

【発明が解決しようとする課題】ところで、伝送路側クロック信号102は通常伝送路データ信号（入力データ信号）101から抽出される結果、入力データ信号101が断になると、伝送路側クロック信号102も断となる。この際、第1のフレームカウンタ17は停止して一時記憶回路6への書き込みも停止する。但し、装置内クロック信号103及びフレーム同期信号105が断（停止）しなければ、一時記憶回路20は正常に読出動作を行う。

【0014】前述のように、一時記憶回路20は伝送路

を乗せ換えるために用いられる。このため、一時記憶回路20の容量はデータ信号のフレーム周期に比べて短く、一時記憶回路20においてはデータ信号のフレーム周期として独立して書き込み／読み出し動作が行われる。

【0015】上述の記載から明らかなように、従来のポインタ付替回路においては、先頭データ位置信号111が一時記憶回路20へ書き込まれた直後に入力データ信号101が断になると、一時記憶回路20の容量と同一の周期で先頭データ位置信号116が出力されることになる。この際、出力データ信号120には前述の警報時ポインタ値が出力されるから問題はない。

【0016】ところが、入力データ信号断が回復した直後、正しい先頭位置データ信号が一時記憶回路20に書き込まれる前に入力断となる直前の先頭データ位置信号116が読み出されると、データ出力信号120には誤ったポインタ値及びポインタ更新情報が含まれることになってしまう。

【0017】誤ったポインタ値の出力は一回だけであるが、一般にポインタ処理回路ではポインタ値更新に関して保護機能が設けられており、このため、一度ポインタ値を更新するとそのフレーム間はポインタ値の更新が禁止される。従って、上述のように誤ったポインタ値が出力されると、入力断からの復帰が遅れてしまうという問題点がある。

【0018】本発明の目的は入力断からの復帰が遅れることのないポインタ付替回路を提供することにある。

【0019】

【課題を解決するための手段】本発明によれば、伝送路を介して複数の伝送路フレームで構成され該伝送路フレーム毎にデータ信号の先頭位置を示すポインタ値を有する入力データ信号を受け、該入力データ信号を装置内フレームで構成された出力データ信号に変換する際前記ポインタの付け替えを行うポインタ付替回路において、前記伝送路フレームの先頭位置を示す伝送路フレーム同期信号を受け前記伝送路フレームをカウントして伝送路カウント値を送出するとともに前記ポインタ値の挿入位置を示す伝送路ポインタ挿入位置信号を生成する第1の手段と、前記挿入位置信号に基づいて前記入力データ信号から前記ポインタ値を取り出す第2の手段と、前記ポインタ値と前記カウント値とが一致するか否かを検出して一致した際一致信号を送出する第3の手段と、前記一致信号及び前記入力データ信号を書き込み一致信号及び書き込みデータ信号として書き込むとともに該書き込み一致信号及び該書き込みデータ信号を読出一致信号及び読出データ信号として読み出す前記記憶手段と、前記装置内フレームの先頭位置を示す装置内フレーム同期信号を受け装置内フレームをカウントして装置内カウント値を送出するとともに前記出力データ信号におけるポインタ

する第4の手段と、前記読出一致信号に基づいて前記装置内カウント値をラッチして第1のラッチ信号として出力する第5の手段と、前記読出一致信号に基づいて前記第1のラッチ信号をリタイミングしてリタイミング信号として出力する第6の手段と、前記第1のラッチ信号と前記リタイミング信号とが不一致であるとポインタ値更新情報を出力する第7の手段と、前記装置内ポインタ挿入位置信号に基づいて前記読出データ信号に前記第1のラッチ信号及び前記ポインタ値更新情報を挿入して前記出力データ信号とする第8の手段とを有し、さらに、伝送路クロック信号及び装置内クロック信号を選択的に前記第1の手段及び前記記憶手段に与える選択手段と、前記入力データ信号が断となった際前記一致信号をハイレベルに固定する固定手段とを有することを特徴とするポインタ付替回路が得られる。

【0020】

【実施例】以下本発明について実施例によって説明する。

【0021】図1を参照して、この実施例では図2に示すポインタ付替回路と同一の構成要素については同一の参照番号を付し説明を省略する。

【0022】図示のポインタ付替回路は図2に示すポインタ付替回路の構成要素に加えて選択回路27及びORゲート28を備えている。選択回路27は伝送路クロック端子12及び装置内クロック端子13に接続されており、伝送路側クロック信号102及び装置内クロック信号103が与えられる。通常状態においては、選択回路27は伝送路側クロック信号102を選択して、第1のフレームカウンタ17及び一時記憶回路20に与える。この際の動作は図2に示すポインタ付替回路と同様となる。

【0023】入力データ信号101が断となると、入力断情報106によって選択回路27は装置内クロック信号103を選択して第1のフレームカウンタ17及び一時記憶回路20に与える。

【0024】一方、ORゲート28は一致検出回路19及び入力断端子16に接続されており、入力断情報106が与えられると、ORゲート28の出力はハイ(H)レベルに固定されることになる。つまり、一時記憶回路20にはハイレベルに固定された一致検出信号111が与えられることになる。この結果、実質的に先頭データ

位置信号の一時記憶回路20への書き込みは行われないことになる。

【0025】上述の動作によって入力データ信号が断の際、一時記憶回路20には装置内クロック信号103によって先頭データ位置信号に対して割り当てられたメモリ領域にすべて“1”が書き込まれることになって、この結果、入力データ信号の断状態が回復して正常になるまで実質的に先頭データ位置信号の読み出しができず、復帰時に誤ったポインタ値が出力されることがない。

【0026】

【発明の効果】以上説明したように本発明では入力データ信号が断状態から復旧した際誤ったポインタ値を出力することがなく、その結果、入力断からの復帰が遅れることがない。

【図面の簡単な説明】

【図1】本発明によるポインタ付替回路の一実施例を示すブロック図である。

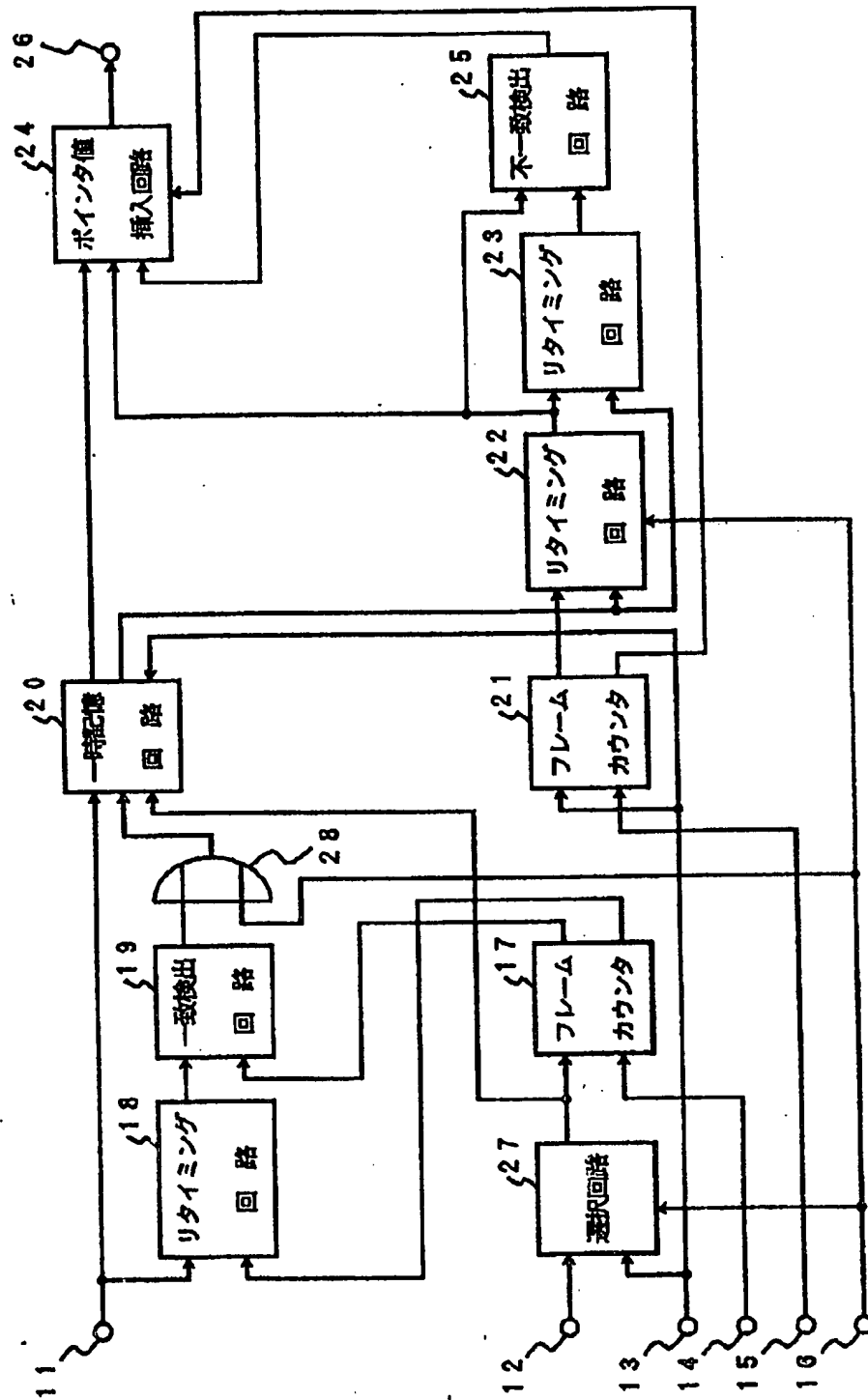
【図2】従来のポインタ付替回路を示すブロック図である。

【図3】ポインタ付替回路の動作を説明するための信号タイミング図である。

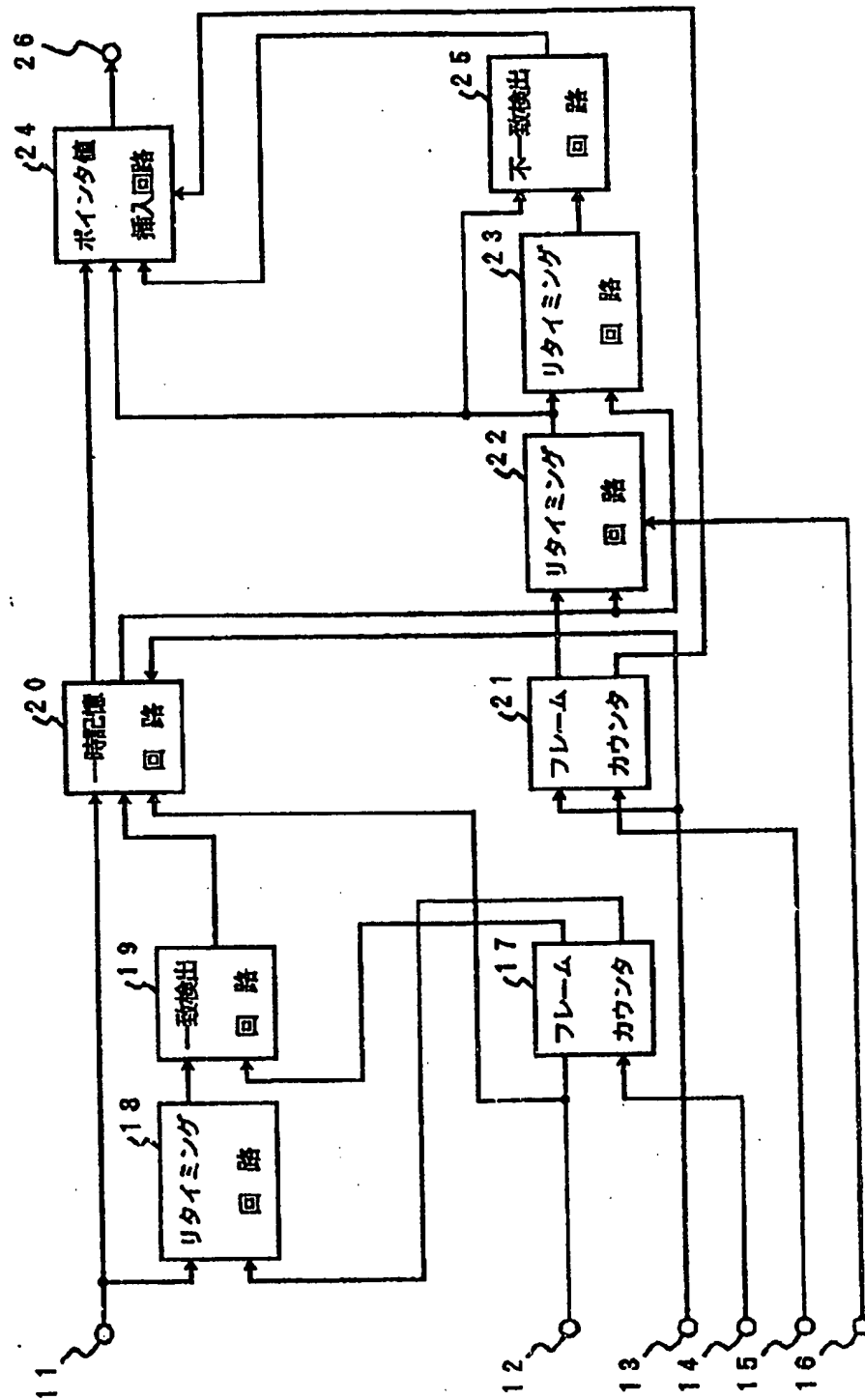
【符号の説明】

- 11 データ入力端子
- 12 伝送路クロック端子
- 13 装置内クロック端子
- 14 入力(伝送路)フレーム端子
- 15 装置内フレーム端子
- 16 入力断端子
- 17 第1のフレームカウンタ
- 18 第1のリタイミング回路
- 19 一致検出回路
- 20 一時記憶回路
- 21 第2のフレームカウンタ
- 22 第2のリタイミング回路
- 23 第3のリタイミング回路
- 24 ポインタ値挿入回路
- 25 不一致検出回路
- 26 出力端子
- 27 選択回路
- 28 ORゲート

【図1】



【図2】



【図3】

